

**LEAD FRAME AND SEMICONDUCTOR DEVICE
USING IT**

Patent Number: JP10256457
Publication date: 1998-09-25
Inventor(s): NAKAGAWA HIROSHI; OOISHI TSURATOKI
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP10256457
Application Number: JP19970053667 19970307
Priority Number(s):
IPC Classification: H01L23/50; H01L23/12
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To remarkably improve the noise resistance of a lead frame by reducing power supply noise caused by the noise produced from a noise producing circuit.

SOLUTION: On a lead frame 3, inner leads Ls1 and Ls3 bonded to bonding pads BPc1 and BPc2 which supply electric power to a circuit, etc., from which noise are hardly produced, exclusively used inner leads Ls2 and Ls4 bonded to bonding pads BPn1 and BPn2 which supply electric power to a circuit, such as the power source circuit of a sense amplifier, etc., which is apt to produce noise are formed in a state where the leads Ls1 and Ls3 are separated from the leads Ls2 and Ls4. Then the noise produced from the bonding pads BPn1 and BPn2 is attenuated so as to reduce the influence of the noise inputted to the bonding pads BPc1 and BPc2 by making the inductances of the leads Ls2 and Ls4 and Ls1 and Ls3 larger by increasing the bonding distances of the leads Ls2 and Ls4 and Ls1 and Ls3.

Data supplied from the esp@cenet database - I2

RECEIVED
NOV 17 2003
TECHNOLOGY CENTER 2800

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256457

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

H 0 1 L 23/50
23/12

識別記号

F I

H 0 1 L 23/50
23/12

M
E

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平9-53667

(22) 出願日 平成9年(1997) 3月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中川 宏

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 大石 貫時

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

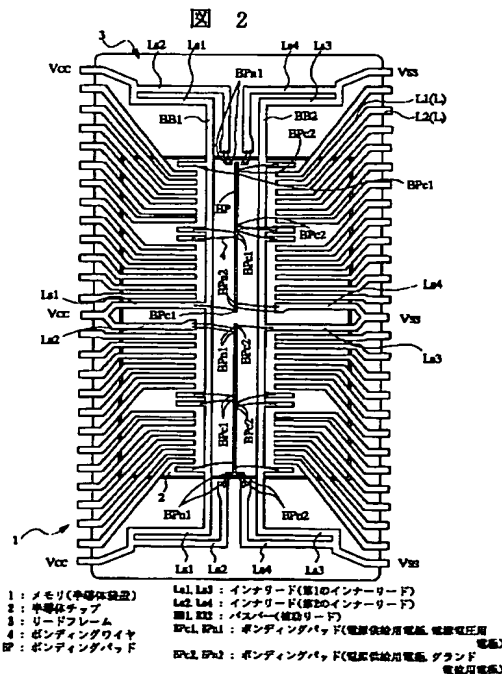
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 リードフレームおよびそれを用いた半導体装置

(57) 【要約】

【課題】 ノイズ発生源の回路から発生されるノイズに起因する電源ノイズを減少し、耐ノイズ性能を大幅に向上させる。

【解決手段】 ノイズが放出されにくい回路などに電源を供給するボンディングパッドBPc1, BPc2にボンディングされるインナリードLs1, Ls3と、センサアンプの電源回路などのノイズが発生しやすい回路に電源を供給するボンディングパッドBPn1, BPn2にボンディングされる専用のインナリードLs2, Ls4が2分割されて形成され、インナリードのLs2, Ls4とインナリードLs1, Ls3のボンディング距離を大きくしてインダクタンスを大きくし、ボンディングパッドBPn1, BPn2から発生するノイズを減衰し、ボンディングパッドBPc1, BPc2に入力されるノイズの影響を小さくさせる。



【特許請求の範囲】

【請求項1】 半導体チップの上方にインナリードが位置し、前記半導体チップの中央部付近に設けられた電極と前記インナリードの先端部がボンディングワイヤにより接続されるリードフレームであって、前記電極の内、電源供給用電極とボンディングされる前記インナリードが、ノイズ発生源の回路と電氣的に接続された前記電源供給用電極とボンディングされる第1のインナリードと、ノイズ発生源とならない回路と電氣的に接続された前記電源供給用電極とボンディングされる第2のインナリードとに分割されたスプリット形状よりなることを特徴とするリードフレーム。

【請求項2】 請求項1記載のリードフレームにおいて、前記第2のインナリードが、前記電源供給用電極が一括してボンディングされる補助リードと電氣的に接続された構造よりなることを特徴とするリードフレーム。

【請求項3】 請求項1または2記載のリードフレームにおいて、前記電源供給用電極が、電源電圧を供給する電源電圧用電極またはグランド電位を供給するグランド電位用電極の少なくともいずれか一方であることを特徴とするリードフレーム。

【請求項4】 請求項1～3のいずれか1項に記載のリードフレームを用いて構成されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、リードフレームおよびそれを用いた半導体装置に関し、特に、シンクロナスDRAM (Dynamic Random Access Memory) などの半導体メモリにおける耐ノイズ性能の向上に適用して有効な技術に関するものである。

【0002】

【従来の技術】 本発明者が検討したところによれば、多ピン化、薄型化に対応するパッケージング技術としてLOC構造の半導体装置からなるメモリが広く知られている。

【0003】 このLOC構造のメモリは、半導体チップの上方にリードフレームのリードの先端部が位置しており、当該半導体チップの中央部付近に設けられた電極部とリードの先端部とをボンディングワイヤによって電氣的に接続し、熱硬化性樹脂などで半導体チップが位置しているキャビティを封止している。

【0004】 また、半導体チップの電極部の周辺近傍には、電源電圧およびグランド電位を供給する補助リードである、いわゆる、バスバーがそれぞれ設けられ、バスバーと所定の電極とをボンディングワイヤにより電氣的に接続することにより、一括して電源電圧およびグランド電位の供給を行っている。

【0005】 なお、この種の半導体装置について詳しく

述べている例としては、1993年5月31日、日経P B社発行、香山晋、成瀬邦彦（監修）、「実践講座 VLSIパッケージング技術（下）」P179～P181があり、この文献には、LOC構造のようなリードフレームを用いて構成されたVSMP (Vertical Surface Mount Package) の半導体装置の構造などが記載されている。

【0006】

【発明が解決しようとする課題】 ところが、上記のようなバスバーによる電源電圧、グランド電位への接続技術では、次のような問題点があることが本発明者により見出された。

【0007】 すなわち、電源電圧およびグランド電位が一括してバスバーからボンディングワイヤを介して所定の電極に電氣的に接続されるので、たとえば、センスアンプの電源部や出力バッファ系などから発生するノイズがバスバー全体に回り込んでしまい、そのノイズによりメモリが誤動作する恐れが生じてしまう。

【0008】 本発明の目的は、ノイズ発生源の回路から発生されるノイズに起因する電源ノイズを減少し、耐ノイズ性能を大幅に向上させることのできるリードフレームおよびそれを用いた半導体装置を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】 すなわち、本発明のリードフレームは、半導体チップの中央部付近に設けられた電極の内、電源供給用電極とボンディングされるリードフレームのインナリードが、ノイズ発生源の回路と電氣的に接続された該電源供給用電極とボンディングされる第1のインナリードと、ノイズ発生源とならない回路と電氣的に接続された該電源供給用電極とボンディングされる第2のインナリードとに分割されたスプリット形状よりなるものである。

【0012】 また、本発明のリードフレームは、前記第2のインナリードが、電源供給用電極が一括してボンディングされる補助リードと電氣的に接続された構造よりなるものである。

【0013】 さらに、本発明のリードフレームは、前記電源供給用電極が、電源電圧を供給する電源電圧用電極またはグランド電位を供給するグランド電位用電極の少なくともいずれか一方よりなるものである。

【0014】 また、本発明の半導体装置は、前記リードフレームを用いて構成されたものである。

【0015】 以上のことにより、ノイズ発生源の回路と

電氣的に接続された電源供給用電極とボンディングされる第1のインナリードと、ノイズ発生源とならない回路と電氣的に接続された電源供給用電極とボンディングされる第2のインナリードとのボンディング距離を長くすることができるので、第1のインナリードから伝達するノイズをリードフレームのインダクタンス成分により大幅に減少することができるので、第2のインナリードとボンディングされた電源供給用電極のノイズの回り込みを小さくでき、半導体装置の耐ノイズ性能を大幅に向上することができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0017】図1は、本発明の一実施の形態による一部を破断したシンクロナスDRAMの外観斜示図、図2は、本発明の一実施の形態によるシンクロナスDRAMの説明図である。

【0018】本実施の形態において、たとえば、表面実装形パッケージの1種であるSOJ (Small Outline J-leaded Package) 形の樹脂封止パッケージからなるシンクロナスDRAM半導体装置であるメモリ(半導体装置)1は、図1に示すように、半導体チップ2の上方に絶縁テープを介してリードフレーム3が位置するLOC構造となっている。

【0019】また、半導体チップ2の中央部付近には、電極であるボンディングパッドBPが配置されており、これらボンディングパッドBPは、リードフレーム3に形成されたインナリードL1とアウトリードL2とから構成される外部引出線であるリードLとボンディングワイヤ4によってそれぞれ電氣的に接続されている。

【0020】さらに、ボンディングパッドBPの周辺近傍には、電源電圧を供給する棒状のバスバー(補助リード)BB1およびグランド電位を供給する、同じく棒状のバスバー(補助リード)BB2が設けられており、電源電圧またはグランド電位が供給されるボンディングパッドBPは、このバスバーBB1、BB2とボンディングワイヤ4により電氣的に接続されている。

【0021】そして、半導体チップ2、ボンディングワイヤ4、インナリードL1が、たとえば、エポキシレジンの樹脂体5により封止され、この樹脂体5の対向する1対の側面から突出しているアウトリードL2はJ字状に形成されている。

【0022】次に、メモリ1に設けられたリードフレーム3のインナリードL1について図2を用いて説明する。ここで、図2においては、ボンディングワイヤ4によるボンディング位置は、電源電圧Vccとグランド電位Vssだけを示すものとする。

【0023】まず、メモリ1は、たとえば、64Mビットで、総ピン数は54ピンにより構成され、そのうち、1、14、27ピンが電源電圧Vcc用のピンとなり、

28、41、54ピンがグランド電位Vss用のピンとして割り付けられている。

【0024】そして、1、14、27、28、41、54ピンは、それぞれ1本のアウトリードL2が樹脂体5(図1)内で2方向に分割されたスプリット形状となって形成されている。

【0025】また、1、14、27ピンにおけるそれぞれの2方向に分かれたインナリードL1の内、2方向に分割された各々の一方のインナリード(第2のインナリード)Ls1はボンディングパッドBPの一方の周辺近傍に位置するバスバーBB1と電氣的に接続されている。

【0026】さらに、他方の各々のインナリード(第1のインナリード)Ls2は、たとえば、センスアンプの電源回路や出力バッファなどの動作時にノイズが発生しやすい回路に電源電圧Vccを供給するためのボンディングパッド(電源供給用電極、電源電圧用電極)BPn1の近傍に位置するように形成されている。

【0027】そして、それぞれのボンディングパッドBPn1は、最もボンディング距離が短い所に位置する専用のインナリードLs2とボンディングワイヤ4により電氣的に接続され、電源電圧Vccが供給されることになる。

【0028】また、その他のノイズが放出されにくい回路などに電源電圧Vccを供給するボンディングパッド(電源供給用電極、電源電圧用電極)BPc1は、各々のボンディングパッドBPc1の近傍のバスバーBB1にボンディングワイヤ4により電氣的に接続することにより一括して電源電圧Vccを供給している。

【0029】次に、28、41、54ピンにおいても、それぞれ1本のアウトリードL2が樹脂体5内で2方向に分割されたスプリット形状となって形成されている。

【0030】そして、2方向に分かれたインナリードにおいて、一方のインナリード(第2のインナリード)Ls3はボンディングパッドBPの一方の周辺近傍に位置するバスバーBB1とそれぞれ電氣的に接続されている。

【0031】また、28、41、54ピンにおける他方のインナリード(第1のインナリード)Ls4は、センスアンプの電源回路や出力バッファなどのノイズが放出されやすい回路にグランド電位Vssが供給される所定のボンディングパッド(電源供給用電極、グランド電位用電極)BPn2とボンディングワイヤ4により電氣的に接続が行われる。

【0032】よって、それぞれのボンディングパッドBPn2は、最もボンディング距離が短い所に位置する専用のインナリードLs4とボンディングワイヤ4により電氣的に接続され、グランド電位Vssが供給されることになる。

【0033】また、その他のノイズが放出されにくい回

路などにグラウンド電位 V_{ss} を供給するボンディングパッド（電源供給用電極、グラウンド電位用電極） $BPc2$ は、各々のボンディングパッド $BPc2$ の近傍のバスバー $BB2$ にボンディングワイヤ4により電氣的に接続することにより一括して電源電圧 V_{ss} を供給している。

【0034】そして、ボンディングパッド $BPn1$ 、 $BPn2$ がボンディングされるインナリードの $LS2$ 、 $LS4$ とボンディングパッド $BPc1$ 、 $BPc2$ がボンディングされるバスバー $BB1$ 、 $BB2$ のボンディング位置の距離を大きくする、すなわち、ボンディングパッド $BPc1$ 、 $BPc2$ とボンディングパッド $BPn1$ 、 $BPn2$ との電氣的な接続経路を大きくすることにより、ボンディングパッド $BPc1$ 、 $BPc2$ とボンディングパッド $BPn1$ 、 $BPn2$ のインダクタンスをそれぞれ大きくできるので、ボンディングパッド $BPn1$ 、 $BPn2$ から発生するノイズを減衰し、ボンディングパッド $BPc1$ 、 $BPc2$ に入力されるノイズの影響を小さくさせることができる。

【0035】それにより、本実施の形態1では、ノイズが発生する各々のボンディングパッド $BPn1$ 、 $BPn2$ とボンディングされる専用のインナリード $Ln2$ 、 $LS4$ を設け、ノイズが発生しにくいボンディングパッド $BPc1$ 、 $BPc2$ がボンディングされるバスバー $BB1$ 、 $BB2$ とのボンディング距離を大きくすることにより、ボンディングパッド $BPn1$ 、 $BPn2$ から発生するノイズを減衰するのでボンディングパッド $BPc1$ 、 $BPn2$ にまわりこむノイズを減少させることができ、メモリ1の耐ノイズ性能を向上することができる。

【0036】また、本実施の形態においては、ノイズが発生する各々のボンディングパッド $BPn1$ 、 $BPn2$ とボンディングされる専用のインナリード $Ln2$ 、 $LS4$ を設けたが、たとえば、図3に示すように、ノイズが発生しにくいボンディングパッド $BPc1$ 、 $BPc2$ を一括してボンディングし、電源電圧 V_{cc} を供給するバスバー $BB1$ と、専用のインナリード $LS2$ を延長し、ノイズが発生する各々のボンディングパッド $BPn1$ 、 $BPn2$ を一括してボンディングし、電源電圧 V_{cc} を供給できるようにバスバー形状に形成したインナリード $LS2$ を設けた3分割に分割したスプリット構造とすることにより、ノイズが発生する各々のボンディングパッド $BPn1$ 、 $BPn2$ とノイズが発生しにくいボンディングパッド $BPc1$ 、 $BPc2$ のボンディング距離を大きくするようにしてもよい。

【0037】さらに、この場合、グラウンド電位を供給するインナリードも電源電圧 V_{cc} を供給するインナリード $LS1$ 、 $LS2$ と同様の形状とする。ここで、図3においては、ボンディングワイヤ4によるボンディング位置は、電源電圧 V_{cc} だけを示すものとする。

【0038】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は

前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0039】たとえば、前記実施の形態によれば、2方向に分割されたインナリードは、センスアンプの電源回路や出力バッファなどの動作時にノイズが発生しやすい回路に電源電圧を供給するためのインナリードと、同じくノイズが放出されやすい回路にグラウンドを供給するインナリードが設けられたが、たとえば、図4に示すように、電源電圧 V_{cc} を供給するインナリード $L1$ だけにセンスアンプの電源回路や出力バッファなどの動作時にノイズが発生しやすい回路に電源電圧を供給するためのインナリード $LS2$ を設けるようにしても、良好にノイズが発生しにくいボンディングパッド $BPc1$ 、 $BPc2$ にまわりこむノイズを減少させることができ、メモリ1の耐ノイズ性能を向上することができる。

【0040】ここでも、図4においては、ボンディングワイヤ4によるボンディング位置は、電源電圧 V_{cc} だけを示すものとする。

【0041】また、前記実施の形態においては、シンクロナスDRAMのメモリについて記載したが、バスバーが設けられた半導体装置であれば良好に半導体装置の耐ノイズ性能を向上することができる。

【0042】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0043】（1）本発明によれば、第1のインナリードと第2のインナリードのボンディング距離を長くすることにより、第1のインナリードから伝達するノイズをリードフレームのインダクタンス成分により大幅に減少することができる。

【0044】（2）また、本発明では、前記（1）により、半導体装置製造における歩留まりを向上でき、半導体装置の耐ノイズ性能も大幅に向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による一部を破断したシンクロナスDRAMの外観斜示図である。

【図2】本発明の一実施の形態によるシンクロナスDRAMの説明図である。

【図3】本発明の他の実施の形態によるシンクロナスDRAMの説明図である。

【図4】本発明の他の実施の形態によるシンクロナスDRAMの説明図である。

【符号の説明】

- 1 メモリ（半導体装置）
- 2 半導体チップ
- 3 リードフレーム
- 4 ボンディングワイヤ
- 5 樹脂体

BP ボンディングパッド

L リード

L1 インナリード

Ls1 インナリード(第2のインナリード)

Ls2 インナリード(第1のインナリード)

Ls3 インナリード(第2のインナリード)

Ls4 インナリード(第1のインナリード)

L2 アウタリード

BB1 バスバー(補助リード)

BB2 バスバー(補助リード)

BPn1 ボンディングパッド(電源供給用電極、電源電圧用電極)

BPn2 ボンディングパッド(電源供給用電極、グラウンド電位用電極)

BPc1 ボンディングパッド(電源供給用電極、電源電圧用電極)

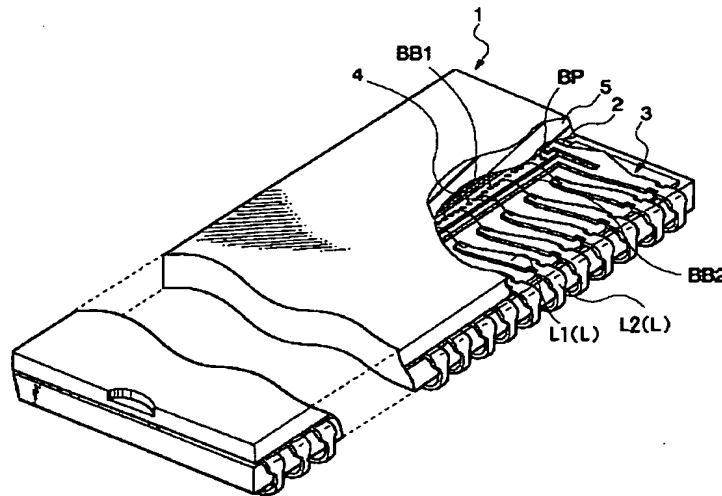
BPc2 ボンディングパッド(電源供給用電極、グラウンド電位用電極)

Vcc 電源電圧

Vss グランド電位

【図1】

図 1



【図3】

図 3

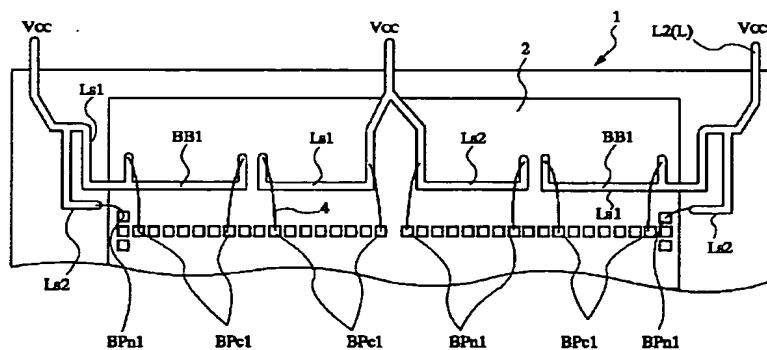


图 2



图 4

